

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-176063

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

H01L 21/336
H01L 21/20
H01L 29/786
H05B 33/08
H05B 33/14

(21)Application number : 2001-
279748

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing :

14.09.2001

(72)Inventor : YAMADA TSUTOMU
ANZAI KATSUYA

(30)Priority

Priority number : 2000299669

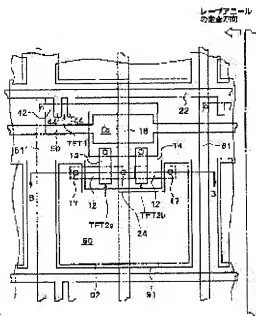
Priority date : 29.09.2000

Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the probability of occurrence of trouble caused by laser annealing in a thin film transistor. SOLUTION: Element driving transistors TFT 2a and 2b are formed in parallel between a power supply line 16 and an organic EL element 60 and the active layers 12 of the TFT 2a and 2b are spaced apart from each other in the scanning direction of laser for polycrystallization annealing. Since annealing conditions of the TFT 2a and 2b are not identical completely, probability of occurring a similar trouble in the TFT 2a and 2b can be reduced. When laser scanning direction is shifted in the line direction on the drawing, single or a plurality of transistors TFT2 (TFT 2a and 2b) are preferably arranged such that the longitudinal direction of that channel is aligned with the scanning direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	デマコード ^(参考)
H 0 1 L	21/336	H 0 1 L 21/20	3 K 0 0 7
	21/20	H 0 5 B 33/08	5 F 0 5 2
	29/786	33/14	A 5 F 1 1 0
H 0 5 B	33/08	H 0 1 L 29/78	6 2 7 C
	33/14		6 1 2 D
審査請求 未請求 請求項の数12 O L (全10頁)			

(21) 出願番号 特願2001-279748(P2001-279748)

(22) 出願日 平成13年9月14日 (2001.9.14)

(31) 優先権主張番号 特願2000-299689(P2000-299689)

(32) 優先日 平成12年9月29日 (2000.9.29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号(72) 発明者 山田 努
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内(72) 発明者 安齋 勝矢
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内(74) 代理人 100078258
弁理士 吉田 研二 (外2名)

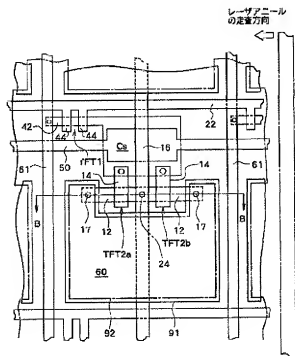
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 レーザアニールに起因した薄膜トランジスタにおける不具合の発生を減少する。

【解決手段】 電源ライン16と有機EL素子60との間に素子駆動用トランジスタTFT2a、2bを並列して形成し、このTFT2a、2bの能動層12は、これを多結晶化アニールするためのレーザの走査方向に互いに離間する。よって、TFT2a、2bのアニール条件は完全同一とならず同様な不具合がトランジスタTFT2a、2bに発生する可能性を低減できる。レーザ走査方向が図中列方向に移動する場合、単数又は複数のトランジスタTFT2(TFT2a、2b)をそのチャネル長方向が該走査方向に一致するように配置することが好適である。



【特許請求の範囲】

【請求項1】 線状バルスレーザを用いて、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、

電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、

前記線状バルスレーザによる照射領域の長手方向が前記素子駆動用薄膜トランジスタのチャネルをその幅方向に横切るように該素子駆動用薄膜トランジスタが配置されていることを特徴とする半導体装置。

【請求項2】 バルスレーザを用いて、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、

電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を備え、

前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記バルスレーザの走査方向と概ね平行な方向に配置されていることを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2に記載の半導体装置において、

前記素子駆動用薄膜トランジスタのチャネル長は、前記バルスレーザの1回の移動ピッチよりも長いことを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれかに記載の半導体装置において、

前記素子駆動用薄膜トランジスタは、前記電源ラインと対応する前記被駆動素子との間に複数個設けられていることを特徴とする半導体装置。

【請求項5】 請求項4に記載の半導体装置において、前記複数の素子駆動用薄膜トランジスタは、それぞれそのチャネル長方向が前記バルスレーザの走査方向において、互いにずれて配置されていることを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれか一つに記載の半導体装置において、

前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタのチャネル長方向と一致しないことを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれか一つに記載の半導体装置において、

前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタに対して前記データ信号を供給するデータラインの延びる方向に沿ってい

ることを特徴とする半導体装置。

【請求項8】 バルスレーザを用いて、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、

この半導体装置は、電源ラインからの駆動電流を被駆動素子に供給する一対の並列接続された薄膜トランジスタを有し、

かつ、前記並列接続された一対の薄膜トランジスタのチャンネルは、前記バルスレーザの走査方向に対し、その平行方向において、互いにずれて配置されていることを特徴とする半導体装置。

【請求項9】 バルスレーザを走査して、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、この半導体装置は、

電源ラインからの駆動電流を被駆動素子に供給する一対の並列接続された薄膜トランジスタを有し、

かつ、前記並列接続された一対の薄膜トランジスタにおいて、バルスレーザの走査方向に平行な方向に沿ったチャンネル間の間隔距離は、バルスレーザの走査方向の移動ピッチより大きく設定されていることを特徴とする半導体装置。

【請求項10】 請求項8又は請求項9に記載の半導体装置において、

前記一対の薄膜トランジスタのチャンネルは、前記バルスレーザの走査方向に沿って、ほぼ同一直線上に整列して配置されていることを特徴とする半導体装置。

【請求項11】 請求項8～10のいずれか一つに記載の半導体装置において、

前記一対の薄膜トランジスタのチャンネルは、前記電源ラインを境として反対側に配置されていることを特徴とする半導体装置。

【請求項12】 請求項1～11のいずれか一つに記載の半導体装置において、

前記被駆動素子は、有機エレクトロルミネッセンス素子であり、

前記半導体装置は、この有機エレクトロルミネッセンス素子をマトリクス状に配置した有機エレクトロルミネッセンスディスプレイであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バルスレーザによってアニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが、基板上に複数形成された半導体装置、特に各薄膜トランジスタの特性ばらつきを解消する技術に関する。

【0002】

【従来の技術】従来より、フラットパネルディスプレイとして、有機エレクトロルミネッセンス（以下ELという）素子を利用した有機EL表示パネルが知られている。フラットパネルディスプレイとしては、液晶ディスプレイ（LCD）が広く普及しているが、このLCDは別に設けられた光源からの光を透過または反射させるもので、自発光ではない。一方、有機EL素子は、陽極と陰極との間に設けられた有機EL層に電流を供給することでEL層を発光させる自発光ディスプレイであり、LCDのようにバックライトなどが不要であることから、薄型化、小型化、低消費電力化の観点、そして明るさなどの観点で優れており、次のフラットディスプレイパネルの主流として期待されている。特に、各画素にスイッチング素子を形成したアクティブマトリクス型の有機ELディスプレイでは、各画素は常時点灯しており、電流を低く抑えることができることから大画面化、高精細化しても高い表示品質を維持できると期待され、次世代フラットパネルディスプレイの主流として期待されている。

【0003】このようなアクティブマトリクス有機ELディスプレイとしては、マトリクス状に配列した有機EL素子（発光素子）毎にそのスイッチング用として薄膜トランジスタを設け、この薄膜トランジスタによって電源から有機EL素子への電流の供給を個別に制御し、データ信号に応じた輝度で素子を発光させている。

【0004】各画素のスイッチング素子として利用される薄膜トランジスタは、その能動層を構成する半導体層として、アモルファスシリコンを利用したもの、多結晶シリコンを利用したものが知られている。従来は、製造の容易さからこの薄膜トランジスタの能動層にはアモルファスシリコンが多用されていたが、動作速度を向上し、高精細な表示装置実現のために多結晶シリコンの採用も始まっている。低抵抗の基板上に多結晶シリコン層を形成するには、まず、アモルファス状態で形成したシリコン膜に対してレーザアニール処理を施し、これによりアモルファスシリコンを多結晶化する。

【0005】

【発明が解決しようとする課題】上記レーザアニールでは、通常、被照射エリアが細長い矩形となるよう整形したパルスレーザ光（シートビーム）を被照射対象に順次走査して行う。ところが、毎回のレーザ照射条件は必ずしも同一ではなくばらつきが生じる。そして、薄膜トランジスタの結晶性にばらつきが生じると、その特性が同一基板上の他の位置の薄膜トランジスタと異なることとなり、各画素における輝度ばらつきを生ずることとなる。

【0006】本発明は、上記課題に鑑みながらなされたものであり、レーザアニールに起因した薄膜トランジスタにおける不具合の発生を抑制することができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、線状パルスレーザを用いて、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタとを備え、前記線状パルスレーザによる照射領域の長手方向が前記素子駆動用薄膜トランジスタのチャネルをその幅方向に横切るように該素子駆動用薄膜トランジスタが配置されている。

【0008】本発明の他の態様では、パルスレーザを用いて、アニールされた半導体層をチャンネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、電源ラインからの駆動電流を対応する被駆動素子に供給する少なくとも一つの素子駆動用薄膜トランジスタと、選択時に供給されるデータに基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタとを備え、前記素子駆動用薄膜トランジスタは、そのチャンネル長方向が、前記パルスレーザの走査方向と概ね平行な方向に配置されている。

【0009】レーザアニールでは、レーザ出力エネルギーのばらつきがある。このばらつきにはパルスレーザの1照射領域内でのばらつきと、ショット間でのばらつきが存在する。一方、例えばアクティブマトリクス型表示装置などの半導体装置に採用される素子駆動用薄膜トランジスタは、ELを駆動するためのものである。このトランジスタの能動層として多結晶シリコンが用いられる場合、この多結晶シリコンTFTの駆動能力が、例えば移動度 $100\text{ cm}^2/\text{V}\cdot\text{sec}$ （ $n\text{-chTFT}$ ）であると、この素子駆動用TFTのサイズは、チャネル幅に対してチャネル長が非常に長く設計されることが多い。このため、上述のように素子駆動用薄膜トランジスタのチャネル長方向をレーザの走査方向に対して概ね平行となるか、レーザの照射領域の長手方向がチャネルをその幅方向に横切るように該薄膜トランジスタを配置することで、1つの素子駆動用薄膜トランジスタのチャネル幅が単一ショットによってアニールされないように調整することができる。これは、上記素子駆動用薄膜トランジスタのチャネル長をパルスレーザの1回の移動ピッチよりも長く設定すれば容易に実現できる。よって、同一基板上に複数の被駆動素子が形成され、この素子に電流を供給するため、対応して複数の素子駆動用薄膜トランジスタが形成される場合に、この薄膜トランジスタのそれぞれが複数回のショットによってレーザアニールされることとなり、ショット間におけるエネルギーばらつきを各トランジスタが均等に被り、結果として各薄膜トランジスタの特性を平均化することが可能となる。これによって、有機EL表示装置などでは、各画素を形成する

有機EL素子における発光輝度のばらつきを非常に小さくすることができる。

【0010】本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタのチャネル長方向と一致しない。

【0011】また本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタに対して前記データ信号を供給するデータラインの延びる方向に沿っている。

【0012】スイッチング用薄膜トランジスタは、このトランジスタを選択する選択ラインと、データ信号を供給するデータラインとが交差する近傍に配置され、多くの場合、選択ラインの延在方向とスイッチング用薄膜トランジスタのチャネル長方向が概ね平行するように配置される。このような場合には、素子駆動用薄膜トランジスタのチャネル長方向をスイッチング用薄膜トランジスタと異なる方向、或いはデータラインの延びる方向を向くように配置することで、素子駆動用薄膜トランジスタのチャネル長を長くすること、複数の素子駆動用薄膜トランジスタを並列又は直列接続して画素内に配置すること等が容易となり、素子駆動用薄膜トランジスタ毎のレーザアニールの条件ばらつきを抑制し特性の揃った素子駆動用薄膜トランジスタを得ることができる。

【0013】本発明では、パルスレーザを用いて、アニールされた半導体層をチャネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、この半導体装置は、電源ラインからの駆動電流を被駆動素子に供給する一対の並列接続された薄膜トランジスタを有し、かつ、前記並列接続された一対の薄膜トランジスタのチャネルは、前記パルスレーザの走査方向に対し、その平行方向において、互いにずれて配置されていることを特徴とする。

【0014】上述のように被駆動素子に駆動電流を供給する一対の薄膜トランジスタをレーザの走査方向に対し互いにずらして配置することで、1ショット内及び1ショット毎でのエネルギーずれのトランジスタ特性への影響を軽減することができる。これによって、有機EL表示装置などでは、各画素を形成する有機EL素子における発光輝度のばらつきを小さくすることができる。

【0015】また、本発明は、パルスレーザを走査して、アニールされた半導体層をチャネル領域として利用する薄膜トランジスタが基板上に複数形成された半導体装置であって、この半導体装置は、電源ラインからの駆動電流を被駆動素子に供給する一対の並列接続された薄膜トランジスタを有し、かつ、前記並列接続された一対の薄膜トランジスタのパルスレーザの走査方向に平行な方向に沿ったチャンネル間の離間距離は、パルスレーザの走査方向の移動ピッチより大きく設定されているこ

とを特徴とする。

【0016】レーザアニールの際には、ラインビームが所定ピッチ毎に移動していくため、同一領域に複数個のレーザ光が照射される。この複数個のショットの中でレーザ出力エネルギーのばらつきにより、レーザ光照射（アニール）後の多結晶膜の膜質に相違が生じる。薄膜トランジスタのパルスレーザの走査方向に平行な方向に沿ったチャンネル間間隔をレーザの移動ピッチより大きくすることで、2つの薄膜トランジスタが同一のレーザショットによってアニールされることを防止でき、2つの薄膜トランジスタと一緒に不具合になる可能性を大幅に減少できる。

【0017】また、前記一対の薄膜トランジスタのチャネルは、前記パルスレーザの走査方向に沿って、ほぼ同一直線上に整列して配置されていることが好適である。

【0018】このように配置することによって、2つの薄膜トランジスタを離して配置しつつ、他の要素の配置に対する悪影響を少なくできる。

【0019】また、前記一対の薄膜トランジスタのチャネルは、前記電源ラインを境として反対側に配置することで、2つの薄膜トランジスタの効率的な配置が得られる。

【0020】また、上述の各半導体装置において、前記被駆動素子は、有機EL素子であり、前記半導体装置は、この有機EL素子をマトリクス状に配置した有機ELディスプレイであることが好適である。

【0021】

【発明の実施の形態】以下、本発明の実施形態について、図面に基づいて説明する。

【0022】【実施形態1】図1に、アクティブマトリクス型有機EL表示パネルの1つの画素の回路構成を示す。1画素には、有機EL素子OEL、スイッチング用薄膜トランジスタTFT1、素子駆動用TFT（TFT2a、2b）及び補助容量Csが設けられている。Nチャネル薄膜トランジスタTFT1のゲートには、データライン（選択ライン）22が接続されている。一方、薄膜トランジスタTFT1のドレインはデータライン61に接続され、ソースは並列接続された2つのPチャネル薄膜トランジスタTFT2a、TFT2bのゲートに接続されている。薄膜トランジスタTFT2a、TFT2bのソースは電源ライン16に接続され、ドレインは他端が一定の電位（Vcon）に接続された2つの有機EL素子OELに共通接続されている。また、薄膜トランジスタTFT2a、TFT2bのゲートには、他端が電源に接続された補助容量Csが接続されている。

【0023】データライン22に選択信号としてNチャネルTFT1が十分にオンするレベルが出力され、薄膜トランジスタTFT1がオンし、そのとこデータライン61に印加されているデータ信号の電圧値に依りて

薄膜トランジスタTFT2a、2bが動作する。ここで、薄膜トランジスタTFT2a、2bは、PチャンネルTFTで構成されているので、データ信号がPチャンネルTFT2a、2bが十分オンするレベル（所定のレベル）のときオンし、そのレベルに応じて電源ライン16から有機EL素子OELに電流を供給し、これにより有機EL素子OELが発光する。また、容量Csが設けられているため、薄膜トランジスタTFT1がオフした後も、所定時間薄膜トランジスタTFT2a、TFT2bのゲート電圧はデータ信号電圧に保持され、その電圧値に応じて薄膜トランジスタTFT2a、TFT2bがオンを継続し、有機EL素子OELの発光が継続される。

【0024】以上のような構成により1画素が構成されており、表示装置の表示エリア内には、この画素が複数マトリクス状に配置されている。そこで、上記マトリクス配置された画素の行方向に延びるゲートライン22に順次Hレベルの選択信号を出力していくことで各行が選択され、薄膜トランジスタTFT1がオンする。そのとき、マトリクス配置された画素の列方向に延びるデータライン61に対し、該当する座標における画素に対する表示データを出力することで、対応する画素の有機EL素子OELを表示データに応じた輝度で発光させることができる。

【0025】データライン61に出力されるデータ信号の電圧値は、表示すべき輝度に応じて調整されており、薄膜トランジスタTFT1を介してそのデータ信号が薄膜トランジスタTFT2a、TFT2bのゲートに印加されるので、電源ライン16からその画素の有機EL素子OELに供給される電流量が調整され、その結果有機EL素子OELの発光輝度が調整され、所望の階調表示がなされる。

【0026】ここで、本実施形態においては、有機EL素子OELに電源ライン16からの駆動電流を供給するための薄膜トランジスタとして、2つの薄膜トランジスタTFT2a、TFT2bを設けている。このように並列接続された複数の薄膜トランジスタTFT2a、2bを設けることで、有機EL素子OELに対し十分な量の駆動電流を供給することを可能としている。

【0027】さらに、この2つの薄膜トランジスタTFT2a、TFT2b間のチャンネルの離間距離Lは、レーザアニールにおけるレーザの移動ピッチに対応して決定されている。すなわち、距離Lは、レーザアニールにおける移動ピッチPより大きく（ $L > P$ ）設定してある。

【0028】ここで、図2にレーザアニールにおける移動ピッチについて示す。このレーザアニールはエキシマレーザなどを用い、そのレーザ光を細長い方形（幅W）に整形して行われる。そして、このレーザはパルスレーザであり、1回毎にピッチPずつ方形の幅方向に移動し

て照射を行う。ピッチPは幅Wより小さく、この例ではほぼ $1/2$ である。従って、半導体層は、基本的に2度パルスレーザの照射を受けるようになっている。また、図においては、パルスレーザ照射範囲が上下方向にも各ショットで異なるように表しているが、これは図を簡易にするためであり、実際には、上下方向にはずらさず、左右方向に走査するだけである。図2では、左から(i)～(viii)の順番で、走査するところを示している。また、幅 $W = 600 \mu\text{m}$ 、ピッチ $P = 300 \mu\text{m}$ とした場合には、幅Wに20発のレーザを照射することになり、上記 $1/2$ は $1/20$ となる。

【0029】このような場合、照射するレーザのエネルギーは毎回完全に同一であることが望ましいが、現在のところ、そのばらつきをなくすることはできていない。

【0030】従って、ピッチP毎に照射エネルギー条件が異なる領域が発生する可能性がある。しかし、本実施形態では、2つの薄膜トランジスタTFT2a、TFT2bをこのピッチP以上離して配置することで、2つの薄膜トランジスタTFT2a、TFT2bの両方のチャンネルが、同じn回目のショットでアニールされることを防止できる。このため、2つの薄膜トランジスタTFT2a、2bの特性が同じようにばらつき、他の画素のTFT2a、2bのトータルの特性と大きく異なるものになることを効果的に防止することができる。

【0031】なお、本実施形態1では、 $L > P$ としたが、必ずしも $L > P$ とする必要はない。すなわち、薄膜トランジスタTFT2a、TFT2bのチャンネル位置が、レーザ走査方向に対し、その平行方向において異なっていれば、それだけ特性のばらついた特定ショットが、2つの薄膜トランジスタTFT2a、2bの両方に同時に照射される可能性を低減できるからである。ここで、本実施形態1では、レーザ走査方向に対し平行方向及び直交方向の両方向にずらす態様として、2つのTFTのチャンネル長方向を互いに非平行とするといったレイアウトも採用でき、このような配置により、2つの薄膜トランジスタTFT2a、2bの特性が同じようにばらつく可能性を低くできる。

【0032】図3(a)～(c)に、レーザの移動ピッチ（走査ピッチ）Pと、薄膜トランジスタTFT2a、TFT2bのチャンネル位置の関係の例を示す。図3(b)のように、薄膜トランジスタTFT2a、TFT2bのチャンネル位置が、レーザ走査方向に対し、完全に一致しているとき、両薄膜トランジスタTFT2a、TFT2bが、ほぼ同一の特性となってしまう。しかし、図3(a)、(c)に示すように、若干でもずれることで、両者の特性を異ならせることができ、有機EL素子OELにおける発光量のばらつきを低減できる。1ショット毎にレーザエネルギーがばらついていない場合には、図3(a)のように1ショット内に両TFT2a、2bが入らないような配置が有効であり、1ショット内でレー

ザエネルギーがばらついている場合には図3(c)のような配置が有効である。

【0033】図4は、上記図1のような回路構成となる有機EL表示装置の平面構成の一例を示している。また図5は、B-B線に沿った概略断面を示している。

【0034】図4に示すように、行方向に延びるゲートライン22と列方向に延びるデータライン61に囲まれた領域が1画素領域であり、この領域内に薄膜トランジスタTFT1、補助容量Cs、2つのPチャンネルの薄膜トランジスタTFT2a、TFT2b、そして、薄膜トランジスタTFT2a、TFT2bのドレインとドレイン電極17を介し接続された有機EL素子60が配置されている。また、電源ライン16は、2つのデータライン61に挟まれた中央部分に配置されており、各画素領域の中心部を垂直方向に縦断している。

【0035】各画素領域において、ゲートライン22とデータライン61との交差部近傍には、薄膜トランジスタTFT1が形成されている。この薄膜トランジスタTFT1の能動層42には、レーザアニール処理によってa-Siを多結晶化して得たp-Siが用いられ、この能動層42は、ゲートライン22から突出したゲート電極44を2回くぐるパターンとなっており、ダブルゲート構造となっている。

【0036】2つのPチャンネルの薄膜トランジスタTFT2a、TFT2bは、半導体層12をそれぞれの能動層として利用している。この半導体層12は、電源ライン16の下方を横切って該電源ライン16の両側に延びた島状パターンである。そして、図4において、この半導体層12の両端部分には不純物がドーピングされてTFT2a、2bのドレイン領域が形成されており、電源ライン16から両側に広がる部分には、不純物がドーピングされたソース領域になっており、このソース領域は、ソース電極24を介して電源ライン16に接続されている。

【0037】また、半導体層12のソース領域とドレイン領域に挟まれたゲート電極14の下方の領域が2つのトランジスタ薄膜トランジスタTFT2a、TFT2bのチャンネル領域になっている。従って、これらチャンネル間の距離(ゲート電極14間の距離)が上述のLに対応し、これがレーザアニールの際の走査ピッチP以上に設定されている。

【0038】なお、この半導体層12は、薄膜トランジスタTFT1の能動層42と同時に形成されたものであり、上述のようなレーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

【0039】また、薄膜トランジスタTFT2a、TFT2bの各ゲート電極14は、ゲートライン22と同一材料で同時に形成された導電層であり、電源ライン16に沿って延びている。そして、各ゲート電極14は、補助容量Csの一方の電極と接続されている。この補助容

量Csの一方の電極は、薄膜トランジスタTFT1の能動層42と一体で形成されている。また、補助容量Csの他の電極は、SCライン50と一体で構成されている。

【0040】このように、各薄膜トランジスタTFT1、2a、2bが形成された後、上面平坦化の目的で、基板全面に平坦化絶縁層18が形成されている。

【0041】そして、この平坦化絶縁層18の上には有機EL素子60が形成される。この有機EL素子60は、陽極(透明電極)91と、最上層に各画素共通で形成された陰極(金属電極)97との間に有機層が積層されて構成されている。この陽極91は、薄膜トランジスタTFT2a、TFT2bのドレイン領域及びドレイン電極17を介して接続されている。また有機層は、陽極側から、例えば第1ホール輸送層93、第2ホール輸送層94、有機発光層95、電子輸送層96が順に積層されている。一例として、第1ホール輸送層93は、MTDATA:4,4',4''-tris(3-methylphenyl)phenylamine) triphenylamineを含み、第2ホール輸送層94は、TPD:N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamineを含み、有機発光層95は、R、G、Bの目的とする発光色によって異なるが、例えば、キノクリドン(Quinacridone)誘導体を含むBeq:his(10-hydroxybenzo(h)quinolinato)berylliumを含み、電子輸送層96は、Beqを含んで構成される。また、有機EL素子60は、ITO(Indium Tin Oxide)などからなる陽極91と有機発光層95以外の各層(93、94、96及び97)は各画素共通で形成されている。但し、もちろんこのような構成には限られない。

【0042】なお、上述のような要素は、すべて基板10上に積層形成される。すなわち、図5に示すように、基板10上には、SiO₂およびSi₃N₄からなる絶縁層11が形成され、その上に半導体層12がパターン形成される。その後、この半導体層12上にゲート酸化膜13を介し、Crのゲート電極14がパターン形成され、その上にSiO₂およびSi₃N₄の多層構造からなる層間絶縁膜15で覆う。次に、コンタクトホールを介し、半導体層12のドレイン領域と接続するA1のドレイン電極17を形成するとともに、ソース電極24および電源ライン16、データライン61を形成する。そして、これらを感光性樹脂からなる平坦化絶縁層18で覆って、その上に上述のような構造の有機EL素子60が形成される。

【0043】この実施形態では、能動層42、12に、レーザアニール処理によって多結晶化された多結晶シリコン層が用いられているが、このアニール処理は、図4の列方向に長いレーザビームを行方向に走査して行う。このような場合に、2つの薄膜トランジスタTFT2a、TFT2bは離れている。すなわち、レーザのピッチPよりもチャンネル間距離Lの方が大きい。このた

め、レーザアニールによって、薄膜トランジスタTFT 2a、TFT 2bに同時不具合が生ずることを防止可能である。

【0044】また、図4に示すように、電源ライン16を画素の水平方向の中央部を通るように配置し、この両側に薄膜トランジスタTFT 2a、TFT 2bを配置する。これによって、両薄膜トランジスタTFT 2a、TFT 2b間の距離を大きくしても、他の構成に対する影響、例えば開口率（発光面積）は特に損なわれることはなく、効率的な配置にできる。

【0045】【実施形態2】次に実施形態2として、図6を参照して1画素あたりの構成の他の例を説明する。なお、既に説明した図と対応する部分には同一番号を付しており、1画素を構成するトランジスタTFT 1及びTFT 2、補助容量Cs、有機EL素子60について、主としてそのレイアウトが相違するが、各回路素子の断面構造については、上述の説明及び図5の構造と共通する。

【0046】図6においては、レーザアニールの走査方向が図中の列方向（データライン61の延在方向）に設定されており、有機EL素子60に電源ライン16からの電流を供給する素子駆動用薄膜トランジスタTFT 2が、そのチャネル（12c）長方向がアニール走査方向とほぼ平行となるように、或いはバルスレーザの照射領域の長手方向エッジがチャネル12cを幅方向に横切るように配置されている。一方、スイッチ用薄膜トランジスタTFT 1については、実施形態1と同様にゲートライン22の延びる行方向にそのチャネル長方向が一致するように形成されている。従って、本実施形態2において、スイッチ用薄膜トランジスタTFT 1と本実施形態2の素子駆動用トランジスタTFT 2とは、そのチャネル長方向が互いに異なった配置になっている。

【0047】素子駆動用トランジスタTFT 2の能動層（半導体層）12は、実施形態1のトランジスタTFT 2a、2bと同様、アモルファスシリコンをレーザアニールして多結晶化して得られた多結晶シリコンより構成されている。この能動層12は、図6に示すようにデータライン61の延在する方向に沿うようにパターンニングされている。また図6の例では、能動層12は、補助容量Csの近傍において電源ライン16と電気的に接続され、マトリクスの次行に相当するゲートライン22の近傍で有機EL素子60のITO電極（陽極）91と電気的に接続されている。

【0048】トランジスタTFT 2のゲート電極14は、スイッチ用薄膜トランジスタTFT 1の能動層42と一体の補助容量Csの一方の電極に接続され、容量Csとの接続部分から列方向に延びて能動層12の上方を広く覆うようにパターンニングされている。能動層12は、このゲート電極14によって上方が覆われている領域がチャネル領域12cであり、チャネル領域12cの

両側が、それぞれソース領域12s（例えば電源ライン16側）、ドレイン領域12d（例えば陽極91側）となっている。

【0049】ここで、有機EL素子60に比較的大電流を供給することが要求される素子駆動用トランジスタTFT 2は、求められる耐圧が高く、故にチャネル長CLは、チャネル幅よりも大きく、またスイッチング用薄膜トランジスタTFT 1などと比較しても長く設計される可能性が高い。

【0050】従って、このようなトランジスタTFT 2をそのチャネル長方向がレーザアニールの走査方向と一致するような方向に配置することで、単一のレーザショットによって素子駆動用トランジスタTFT 2のチャネル全領域がアニールされてしまい、他の画素のトランジスタTFT 2とその特性に大きな差が発生する可能性を低くすることが容易となる。

【0051】また本実施形態2のような表示装置などでは、R、G、Bのうちの1つの画素形状は図6に示すように行方向では短く、その結果列方向には長い矩形等の形状に設計されることが多い。従って、このような場合において、トランジスタTFT 2はそのチャネル長方向が列方向、つまり画素領域の長手方向に沿うように配置することで、必要なチャネル長を確保することが容易となる。また、このようなレイアウトを採用することで、レーザの移動ピッチPよりもチャネル長CLを大きくすることが容易となる。

【0052】レーザの移動ピッチPについては、光学系システム等の設定により調整することが可能であり、このような場合、チャネル幅より長いチャネル長に比べて、具体的にはチャネル長CLよりもピッチPが小さくなるように設定することが好ましい。

【0053】本実施形態2において、以上のようにトランジスタTFT 2のチャネル領域12cのチャネル長CLが、バルスレーザのショット毎の移動ピッチPに対して、CL>Pの関係となるように設定することが好適である。このような設定を採用することにより、トランジスタTFT 2のチャネル領域12cは、必ず複数回バルスレーザが照射されて多結晶化されることとなり、同様に複数回のバルスレーザ照射により多結晶化される他の画素のトランジスタTFT 2との間で、その特性の差を低減することが可能となる。

【0054】以上説明した図6のレイアウトでは、上述のようなチャネル方向に設定された1つのトランジスタTFT 2が、対応する有機EL素子60（その陽極91）と、電源ライン16との間に形成されている。しかし、このトランジスタTFT 2は、実施形態1のように複数設けられていてもよい。図7は、1画素内で、複数の素子駆動用トランジスタTFT 2が電源ライン16と有機EL素子60との間に並列接続されている場合のレイアウトの一例を示している。なお、図7に示す画素構

成の等価回路は、上述の図1と同じである。

【0055】図7においても、素子駆動用トランジスタTFT2a、TFT2bの各能動層12a、12bは、レーザアニールの走査方向に平行な方向（ここでは、データライン61の延在方向に一致）に延びている。そして、図7では両能動層12a、12bは一直線上に並んでいる。複数のトランジスタTFT2a、TFT2bの各能動層が必ずしも互いに一直線上に並ぶことは必須ではないが、トランジスタTFT2a、TFT2bの各チャネル領域12ca、12cbは、実施形態1と同様、その位置が、レーザ走査方向に対し、完全に一致せずに、若干でもずれていることが好適である。このようにずれていることにより、両トランジスタTFT2a、TFT2bの特性が全く同じように設定値からずれたり、両方のトランジスタが同時に動作しないといった問題発生の可能性を大幅に低減することができ、画素毎における有機EL素子60に供給する総電流量のばらつきを低減できる。

【0056】さらに、図7のような構成において、2つの薄膜トランジスタTFT2a、TFT2bのチャネル12caと、12cbとの離間距離Lは、レーザの移動ピッチPよりも大きくすることがより好適である。このような条件を満たせば、レーザアニールによって、1画素内の複数のトランジスタTFT2a、TFT2bに同時不具合が生ずることを確実に防止できるためである。

【0057】

【発明の効果】以上説明したように本発明によれば、有機EL素子に電流を供給する素子駆動用薄膜トランジスタのチャネル長方向をレーザの走査方向に対して概ね平行となるか、チャネルをレーザの照射領域の長手方向がそのチャネル幅方向に横切るように該薄膜トランジスタを配置することで、1つの素子駆動用薄膜トランジスタのチャネル全領域が単一ショットでアニールされないよ

うにすることが可能となる。このような配置とすることで、レーザアニールの各ショットにおいて照射エネルギーにばらつきが生じても、ばらつきが平均化され、他の画素の素子駆動用薄膜トランジスタとで特性に大きな差が発生することを防止できる。

【0058】また、対応する有機EL素子に対して電流を供給する複数の薄膜トランジスタをレーザの走査方向に対してずらすことにより、複数の薄膜トランジスタが同じようにばらつくことを防止することができる。

【0059】また、上記複数の薄膜トランジスタのチャネル間の離間距離をレーザの移動ピッチより大きくしておけば、2つの薄膜トランジスタが特性レーザショットにてアニールされる可能性を低減でき、2つの薄膜トランジスタが同様ばらついたり不具合が発生する可能性を大幅に減少できる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係る有機EL表示装置の1画素あたりの回路構成を示す図である。

【図2】 レーザの照射ピッチを説明する図である。

【図3】 薄膜トランジスタTFTのチャネル配置を示す図である。

【図4】 本発明の実施形態1に係る有機EL表示装置の平面構成を示す図である。

【図5】 図4のB-B線に沿った断面図である。

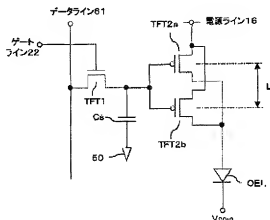
【図6】 本発明の実施形態2に係る有機EL表示装置の平面構成を示す図である。

【図7】 本発明の実施形態2に係る有機EL表示装置の図6と異なる平面構成を示す図である。

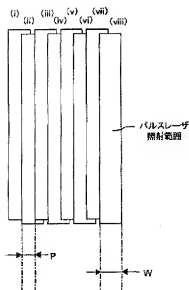
【符号の説明】

12、42 半導体層（能動層）、14 ゲート電極、16 電源ライン、17 ドレイン電極、22 ゲートライン、24 ソース電極、61 データライン。

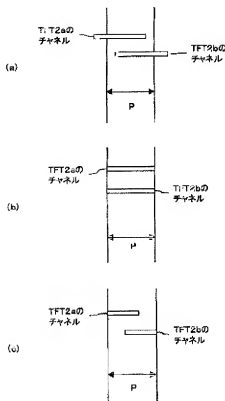
【図1】



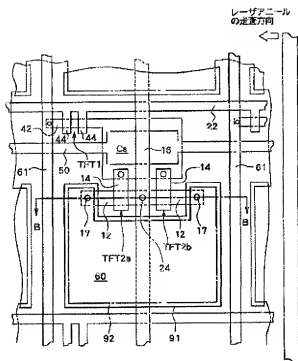
【図2】



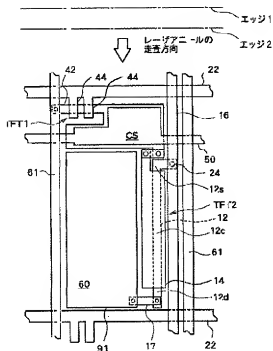
【図3】



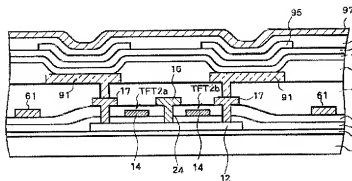
【図4】



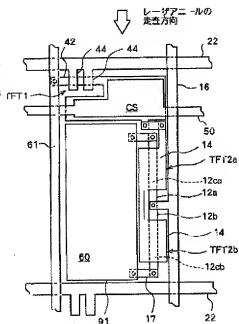
【図6】



【图5】



【图7】



フロントページの続き

F ターム(参考)	3K007	A002	B406	C403	C801	DA00
		DD03	EB00	FA01	FA03	GA04
5F052	AA02	BA02	BA07	BB03	BB07	
		CA04	DA01	JA01		
5F110	AA30	BB01	CC02	DD13	DD14	
	EE04	EE28	GG02	GG13	GG28	
	HL03	HL07	NN03	NN23	NN24	
	NN27	NN72	NN73	NN77	NN78	
	PP03	PP05	PP06	QQ01		